

(19)

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11) Publication

number:

(43) Date of publication of application:

02.03.2002

1020020015748 A

(21) Application number: 1020000048819

(71) Applicant:

SAMSUNG ELECTRONICS
CO., LTD.

(22) Date of filing: 23.08.2000

(72) Inventor:

AHN, TAE HYEOK
JUNG, SANG SEOP
KIM, MYEONG CHEOL

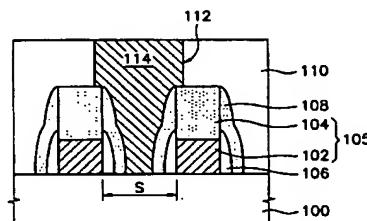
(51) Int. Cl

H01L 21/28

(54) SEMICONDUCTOR DEVICE HAVING SELF-ALIGNED CONTACT STRUCTURE AND FABRICATING METHOD THEREOF

(57) Abstract:

PURPOSE: A semiconductor device having a self-aligned contact structure is provided to reduce loading capacitance between the first conductive layer and the second conductive layer in a self-aligned contact hole, by making the side surface of the first conductive layer surrounded by a silicon oxide layer spacer having a low dielectric constant.



CONSTITUTION: Two conductive structures are formed on a semiconductor substrate, having an interval between the two conductive structures and including the first conductive layer and a silicon nitride layer mask layer stacked on the first conductive layer. Silicon oxide layer spacers are formed on the side surfaces of the conductive structures, partially exposing the upper portion of the side surfaces of the structures and having a height lower than the upper portion of the silicon nitride layer mask layer. Silicon nitride layer spacers are formed on the exposed side surfaces of the conductive structures and on the silicon oxide layer spacers. An insulation layer exposes the silicon nitride layer spacers on the interval, composed of a silicon oxide layer having a self-aligned contact hole of which a part extends to a portion over the conductive structures and formed on the conductive structures and the substrate. The second conductive layer is self-aligned with the conductive structures, filling the self-aligned contact hole.

&copy; KIPO 2002

Legal Status

Date of request for an examination (20000823)

Final disposal of an application (registration)

Date of final disposal of an application (20021121)

Patent registration number (1003637100000)

Date of registration (20021123)

특 2002-0015748

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H01L 21/28

(11) 공개번호 특 2002-0015748
(43) 공개일자 2002년 03월 02일

(21) 출원번호	10-2000-0048819
(22) 출원일자	2000년 08월 23일
(71) 출원인	삼성전자 주식회사 윤종용 경기 수원시 팔달구 매탄3동 416
(72) 발명자	안태혁 경기도 용인시 기흥읍 농서리 산24번지 삼익마파트 102-802
	김명철 경기도 수원시 팔달구 매탄4동 현대아파트 105-1303
	정상섭 경기도 수원시 팔달구 원천동 35주 공마아파트 102-206
(74) 대리인	박영우

설사첨구 : 있음**(54) 셀프-얼라인 콘택 구조를 갖는 반도체 장치 및 그 제조방법****요약**

셀프-얼라인 콘택을 갖는 반도체 장치 및 그 제조방법이 개시되어 있다. 상기 장치는, 반도체 기판과, 그 사이에 간격을 갖고 기판 상에 형성되며 제1 도전층 및 제1 도전층 상에 적층된 실리콘 질화막 마스크층을 포함하는 두 개의 도체 구조물을 구비한다. 실리콘 질화막 마스크층의 상단보다 낮은 높이로 각 도체 구조물의 측면을 상에 실리콘 산화막 스페이서들이 형성된다. 각 도체 구조물의 측면을 및 실리콘 산화막 스페이서들의 표면 상에 실리콘 질화막 스페이서들이 형성된다. 도체 구조물을 및 기판 상에 실리콘 질화막 스페이서들을 노출시키고 각 도체 구조물의 위로 일부분 확장되는 셀프-얼라인 콘택홀을 갖는 실리콘 산화막으로 이루어진 절연층이 형성된다. 셀프-얼라인 콘택홀은 도체 구조물들에 셀프-얼라인되는 제2 도전층으로 매립된다. 도체 구조물의 측면을 상에 실리콘 산화막 스페이서 및 실리콘 질화막 스페이서로 구성된 듀얼 스페이서를 형성함으로써, 제1 도전층과 셀프-얼라인 콘택홀 내의 제2 도전층 간에 로딩 캐페시턴스를 감소시킬 수 있다.

목표도**도 4****양세사****도면의 간단한 설명**

도 1은 증례 방법에 의한 셀프-얼라인 콘택 구조를 갖는 반도체 장치의 단면도이다.

도 2는 증례의 다른 방법에 의한 셀프-얼라인 콘택 구조를 갖는 반도체 장치의 단면도이다.

도 3은 증례의 또 다른 방법에 의한 셀프-얼라인 콘택 구조를 갖는 반도체 장치의 단면도이다.

도 4는 본 발명에 의한 셀프-얼라인 콘택 구조를 갖는 반도체 장치의 단면도이다.

도 5는 본 발명의 바람직한 실시예가 적용되는 DRAM 장치의 평면도이다.

도 6은 도 5의 AA'선에 따른, 본 발명의 제1 실시예에 의한 셀프-얼라인 콘택 구조를 갖는 DRAM 장치의 단면도이다.

도 7a 내지 도 7h는 도 6에 도시한 DRAM 장치의 제조방법을 설명하기 위한 단면도들이다.

도 8은 도 5의 AA'선에 따른, 본 발명의 제2 실시예에 의한 셀프-얼라인 콘택 구조를 갖는 DRAM 장치의 단면도이다.

<도면의 주요 부분에 대한 부호의 설명>

100, 200 : 반도체 기판 102 : 제1 도전층

104, 210 : 실리콘 질화막 마스크층

105 : 도체 구조물

106, 212 : 실리콘 산화막 스페이서

108, 214 : 실리콘 질화막 스페이서	
110 : 절연층	112, 218 : 셀프-얼라인 콘택홀
114 : 제2 도전층	201 : 활성 영역
202 : 필드 산화막	203 : 게이트
204a, 204b : 패드 전극	205a : 캐페시터 콘택 영역
205b : 비트라인 콘택 영역	206 : 제1 총간절연막
207 : 비트라인 콘택홀	208 : 비트라인
211 : 비트라인 구조물	216 : 제2 총간절연막
220 : 캐페시터 도전층	

설명의 상세한 설명

설명의 목적

설명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그 제조방법에 관한 것으로, 보다 상세하게는, 듀얼 스페이서(dual spacer)를 이용한 셀프-얼라인 콘택 구조를 갖는 반도체 장치 및 그 제조방법에 관한 것이다.

반도체 장치가 고집적화 및 고속화됨에 따라, 미세 패턴의 형성이 요구되고 있으며 배선의 넓이(width)뿐만 아니라 배선과 배선 사이의 간격(space)도 현저하게 감소하고 있다. 특히, 반도체 기판 내에 형성되어 있는 고립된 소자 영역들을 고전도성 박막을 사용하여 연결시키는 콘택(contact)의 형성은 얼라인 마진, 소자분리 마진 등을 확보하면서 미루어져야 하므로, 소자의 구성에 있어서 상당한 면적을 차지하게 된다. 따라서, 다이나믹 랜덤 액세스 메모리(dynamic random access memory; DRAM)와 같은 메모리 장치에 있어서, 상기 콘택은 메모리 셀의 크기를 결정하는 주요 요인으로 작용한다.

최근에는 0.25μm 미하의 반도체 공정 기술이 급속히 발전하고 있는데, 기존의 콘택 형성 방법으로는 미세한 크기의 콘택을 형성하기가 어렵다. 더욱이, 멀티층의 도전층을 사용하는 메모리 장치에서는 총간절연막에 의해 도전층과 도전층 사이의 높이가 더욱 높아져서 도전층을 간에 콘택을 형성하는 공정이 매우 어려워진다. 이에 따라, 메모리 셀과 같이 디자인 룰(design rule)에 여유가 없고 같은 형태의 패턴이 반복되는 경우, 셀 면적을 축소시키기 위하여 셀프-얼라인 방법으로 콘택을 형성하는 방법이 개발되었다.

셀프-얼라인 콘택 기술은 주변 구조물의 단자를 이용하여 콘택을 형성하는 방법으로서, 주변 구조물의 높이, 콘택이 형성될 위치에서의 절연막의 두께 및 식각 방법 등에 의해 다양한 크기의 콘택을 마스크의 사용 없이 얻을 수 있다. 따라서, 셀프-얼라인 콘택 기술의 가장 큰 장점은 얼라인 마진을 필요로 하지 않으면서 미세 콘택을 형성할 수 있다는 것이다. 현재 가장 많이 사용되고 있는 셀프-얼라인 콘택 공정은 미방성 식각 공정에 대한 산화막과 질화막 간의 선택비를 이용하여 콘택홀을 형성하는 것이다.

도 1은 종래 방법에 의한 셀프-얼라인 콘택 구조를 갖는 반도체 장치의 단면도이다.

도 1을 참조하면, 제1 도전층(16) 및 상기 제1 도전층(16) 상에 적층된 실리콘 질화막(18)을 포함하는 라인형 도체 구조물을(19)를 반도체 기판(10) 상에 형성한다. 각 도체 구조물(19)의 측면에 실리콘 질화막 스페이서(20)들을 형성한 후, 상기 도체 구조물들(19) 및 상기 기판(10) 상에 실리콘 산화막으로 이루어진 절연층(22)을 형성한다. 이어서, 실리콘 산화막과 실리콘 질화막 간의 선택비를 이용한 미방성 식각 공정으로 상기 절연층(22)을 식각하여 도체 구조물들(19) 사이의 기판 영역을 노출시키는 셀프-얼라인 콘택홀(23)을 형성한다. 상기 셀프-얼라인 콘택홀(23)을 채우도록 제2 도전층(24)을 증착한 후, 상기 절연층(22)의 상부 표면이 노출될 때까지 상기 제2 도전층(24)을 에치백 또는 화학 기계적 연마(chemical mechanical polishing; CMP) 공정으로 제거한다. 그 결과, 상기 셀프-얼라인 콘택홀(23) 내에 셀프-얼라인 콘택 구조가 형성된다.

상술한 종래 방법에 의하면, 제1 도전층(16)의 상부와 측면을 실리콘 질화막으로 감싸 후 실리콘 산화막이 실리콘 질화막에 비해 빠르게 식각되는 조건으로 절연층(22)을 식각하여 셀프-얼라인 콘택홀(23)을 형성한다. 실리콘 질화막은 부도체이므로 실리콘 질화막으로 감싸진 제1 도전층(16)과 셀프-얼라인 콘택홀(23) 내의 제2 도전층(24) 사이에 전기적 쇼트가 발생하지 않는다. 그러나, 실리콘 질화막의 유전률이 7.501므로, 유전률이 3.9인 실리콘 산화막을 이용하여 제1 도전층과 콘택용 제2 도전층을 절연시키는 통상의 콘택 구조에 비해 상술한 종래의 셀프-얼라인 콘택 구조에서는 제1 도전층(16)과 제2 도전층(24) 사이의 캐페시턴스가 2배 정도 증가한다.

상술한 종래의 셀프-얼라인 콘택 구조를 DRAM 장치에 적용하여 캐페시터 콘택홀을 비트라인에 대한 셀프-얼라인 콘택 공정으로 형성할 경우, 비트라인과 캐페시터 콘택 플러그(즉, 스토리지 전극)를 실리콘 산화막으로 절연시키는 통상의 콘택 구조에 비해 비트라인 캐페시턴스(C_{bl})가 증가하여 결과적으로 셀 캐페시턴스의 감소를 초래한다. 예를 들어, 디자인-룰이 0.15μm인 DRAM 장치에 셀프-얼라인 콘택 공정으로 캐페시터 콘택홀을 형성하면, 비트라인과 스토리지 전극 사이의 로딩 캐페시턴스 증가에 의해 비트라인 캐페시턴스(C_{bl})가 30fF 정도 증가한다.

도 2는 종래의 다른 방법에 의한 셀프-얼라인 콘택 구조를 갖는 반도체 장치의 단면도이다.

도 2를 참조하면, 반도체 기판(30) 상에 형성된 라인형 도체 구조물(39)은 제1 도전층(36) 및 상기 제1 도전층(36) 상에 적층된 실리콘 질화막(38)을 포함한다. 상기 도체 구조물(39)의 측면 상에는 실리콘 산

화막 스페이서(40) 및 실리콘 질화막 스페이서(42)로 이루어진 두 개의 스페이서가 형성된다. 상기 도체 구조물(39) 및 기판(30) 상에는 상기 도체 구조물(39)을 사이의 기판 영역을 노출시키는 셀프-얼라인 콘택홀(45)을 갖는 절연층(44)이 형성된다. 상기 셀프-얼라인 콘택홀(45)은 제2 도전층(46)으로 매립되어 셀프-얼라인 콘택 구조를 형성한다.

상술한 종래의 다른 방법에 의하면, 도체 구조물(39)의 측면에 실리콘 질화막보다 유전율이 작은 실리콘 산화막 스페이서(40)를 형성하고, 상기 실리콘 산화막 스페이서(40)와 함께 실리콘 질화막 스페이서(42)를 공존시켜 셀프-얼라인 콘택을 구현한다. 그러나, 셀프-얼라인 콘택 형성을 위한 사전식각 공정시 미스 엘라인이 발생하여 도체 구조물(39)의 모서리 부근에서 식각이 진행되면, 실리콘 산화막으로 이루어진 절연층(44)과 함께 실리콘 산화막 스페이서(40)가 빠르게 식각되어 심할 경우 제1 도전층(36)의 표면이 노출된다. 결과적으로, 제1 도전층(36)과 셀프-얼라인 콘택홀(45) 내의 제2 도전층(46) 간에 전기적 쇼트가 발생한다.

실리콘 산화막 스페이서와 실리콘 질화막 스페이서의 듀얼 스페이서를 이용하여 셀프-얼라인 콘택 구조를 구현하는 또 다른 방법이 미합중국 특허공보 제5,899,722호에 개시되어 있다.

도 3은 미합중국 특허공보 제5,899,722호에 개시되어 있는 셀프-얼라인 콘택 구조를 갖는 반도체 장치의 단면도이다.

도 3을 참조하면, 제1 도전층(56) 및 상기 제1 도전층(56) 상에 적층된 실리콘 질화막(58)을 포함하는 라인형 도체 구조물(59)을 반도체 기판(50) 상에 형성된다. 상기 도체 구조물(59)의 측면에 실리콘 질화막 스페이서(60) 및 실리콘 산화막 스페이서(62)를 순차적으로 형성한다. 상기 도체 구조물(59) 및 기판(50) 상에 실리콘 산화막으로 이루어진 절연층(64)을 형성한 후, 실리콘 산화막과 실리콘 질화막간의 선택비를 이용한 미방성 식각 공정으로 상기 절연층(64)을 식각하여 도체 구조물들(59) 사이의 기판 영역을 노출시키는 셀프-얼라인 콘택홀(65)을 형성한다. 이때, 셀프-얼라인 콘택홀(65) 내의 실리콘 산화막 스페이서(62)가 상기 실리콘 산화막 절연층(64)과 함께 식각되어 제거된다. 이어서, 상기 셀프-얼라인 콘택홀(65)을 제2 도전층(66)으로 매립하여 셀프-얼라인 콘택 구조를 형성한다.

미합중국 특허공보 제5,899,722호에 개시되어 있는 상술한 방법에 의하면, 셀프-얼라인 콘택 형성을 위한 사전식각 공정시 미스 엘라인이 발생하여 도체 구조물(59)의 모서리 부근에서 식각이 진행되더라도, 제1 도전층(56)의 상부 및 측면이 실리콘 질화막으로 감싸여 있으므로 제1 도전층(56)과 셀프-얼라인 콘택홀(65) 내의 제2 도전층(66) 간에 전기적 쇼트가 발생하지 않는다. 그러나, 셀프-얼라인 콘택홀(65) 내의 실리콘 산화막 스페이서(62)가 제거되므로, 도 1에 도시한 종래 방법과 마찬가지로 제1 도전층(56)과 제2 도전층(66) 사이에는 실리콘 산화막보다 높은 유전율을 갖는 실리콘 질화막만이 존재한다. 따라서, 제1 도전층(56)과 셀프-얼라인 콘택홀(65) 내의 제2 도전층(66) 간의 로딩 캐패시턴스를 감소시키지 못한다.

한편, 미합중국 특허공보 제5731236호, 제5766992호 및 제5817562호에는 도체 구조물의 측면에 실리콘 산화막 스페이서를 먼저 형성한 후 실리콘 질화막 스페이서를 형성하는 방법들이 개시되어 있다. 그러나, 이 방법들은 실리콘 산화막 스페이서를 열산화 공정으로 형성하기 때문에 실리콘 산화막 스페이서의 두께가 100 Å 미하로 매우 얕게 형성되어 실질적으로 로딩 캐패시턴스의 감소 효과가 없다. 또한, 셀프-얼라인 콘택 형성을 위한 식각 공정시 실리콘 산화막 스페이서가 빠르게 식각되어 도체 구조물과 셀프-얼라인 콘택홀 내의 도전층 간에 전기적 쇼트가 발생할 수 있다. 또한, 도체를 내산화성이 취약한 금속으로 형성할 경우에는 상기 방법들을 적용할 수 없다는 단점이 있다.

본 명의 이루고자 하는 기술적 문제

따라서, 본 발명의 제1의 목적은 제1 도전층과 셀프-얼라인 콘택홀 내의 제2 도전층 간에 로딩 캐패시턴스를 감소시킬 수 있는 반도체 장치를 제공하는데 있다.

본 발명의 제2의 목적은 캐패시터 콘택홀을 비트라인에 대한 셀프-얼라인 콘택 공정으로 형성하는 DRAM 장치에 있어서, 상기 비트라인과 상기 캐패시터 콘택홀 내의 도전층 간에 로딩 캐패시턴스를 감소시킬 수 있는 DRAM 장치를 제공하는데 있다.

본 발명의 제3의 목적은 제1 도전층과 셀프-얼라인 콘택홀 내의 제2 도전층 간에 로딩 캐패시턴스를 감소시킬 수 있는 반도체 장치의 제조방법을 제공하는데 있다.

본 발명의 제4의 목적은 비트라인과 상기 비트라인에 대해 셀프-얼라인되는 캐패시터 콘택홀 내의 제2 도전층 간에 로딩 캐패시턴스를 감소시킬 수 있는 DRAM 장치의 제조방법을 제공하는데 있다.

본 명의 구성 및 작용

상기한 제1의 목적을 달성하기 위하여 본 발명은, 반도체 기판; 그 사이에 간격을 갖고 상기 기판 상에 형성되며, 제1 도전층 및 상기 제1 도전층 상에 적층된 실리콘 질화막 마스크층을 포함하는 두 개의 도체 구조물을; 상기 실리콘 질화막 마스크층의 상단보다 낮은 높이로 각 도체 구조물의 측면을 상에 상기 층면들의 상부를 노출시키도록 형성된 실리콘 산화막 스페이서들; 상기 각 도체 구조물의 노출된 층면부들로부터 상기 실리콘 산화막 스페이서들의 표면 상에 형성된 실리콘 질화막 스페이서들; 상기 도체 구조물을 상기 기판 상에 형성되며, 상기 간격 위의 상기 실리콘 질화막 스페이서들을 노출시키고 상기 각 도체 구조물의 위로 일부분 확장되는 셀프-얼라인 콘택홀을 갖는 실리콘 산화막으로 이루어진 절연층; 및 상기 셀프-얼라인 콘택홀을 매립하여 상기 도체 구조물들에 셀프-얼라인되는 제2 도전층을 구비하는 것을 특징으로 하는 반도체 장치를 제공한다.

상기한 제2의 목적을 달성하기 위하여 본 발명은, 게이트, 캐패시터 콘택 영역 및 비트라인 콘택 영역으로 구성된 트랜지스터들이 형성된 반도체 기판 상에 형성되고, 상기 비트라인 콘택 영역을 노출시키는 비트라인 콘택홀을 갖는 제1 층간절연막; 상기 제1 층간절연막 상에 상기 캐패시터 콘택 영역을 사이에 두고 형성되며, 상기 비트라인 콘택홀을 통해 상기 비트라인 콘택 영역과 전기적으로 접촉하는 비트라인 및

상기 비트라인 상에 적층된 실리콘 질화막 마스크층을 포함하는 두 개의 비트라인 구조물들; 상기 실리콘 질화막 마스크층의 상단보다 낮은 높이로 각 비트라인 구조물의 측면을 상에 상기 측면들의 상부를 노출시키도록 형성된 실리콘 산화막 스페이서들; 상기 각 비트라인 구조물의 노출된 측면부를 및 상기 실리콘 산화막 스페이서들의 표면 상에 형성된 실리콘 질화막 스페이서들; 상기 비트라인 구조물을 및 상기 제1 층간절연막 상에 형성되며, 상기 캐패시터 콘택 영역 위의 상기 실리콘 질화막 스페이서들을 노출시키고 상기 각 비트라인 구조물의 위로 일부분 확장되는 셀프-얼라인 콘택홀을 갖는 실리콘 산화막으로 이루어진 제2 층간절연막; 및 상기 셀프-얼라인 콘택홀을 매립하여 상기 비트라인 구조물들에 셀프-얼라인되는 캐패시터 도전층을 구비하는 것을 특징으로 하는 DRAM 장치를 제공한다.

상기한 제3의 목적을 달성하기 위하여 본 발명은, 반도체 기판 상에 제1 도전층 및 상기 제1 도전층 상에 적층된 실리콘 질화막 마스크층을 포함하며 그 사이에 간격을 갖는 두 개의 도체 구조물을 형성하는 단계; 각 도체 구조물의 측면을 상에 상기 측면의 상부를 부분적으로 노출시키도록 상기 실리콘 질화막 마스크층의 상단보다 낮은 높이로 실리콘 산화막 스페이서들을 형성하는 단계; 각 도체 구조물의 노출된 측면부를 및 상기 실리콘 산화막 스페이서들의 표면 상에 실리콘 질화막 스페이서들을 형성하는 단계; 상기 캐패시터 도체 구조물을 및 상기 기판 상에 실리콘 산화막으로 이루어진 절연층을 형성하는 단계; 상기 절연층을 부분적으로 삭각하여 상기 간격 위의 상기 실리콘 질화막 스페이서들을 노출시키고 상기 각 도체 구조물의 위로 일부분 확장되는 셀프-얼라인 콘택홀을 형성하는 단계; 및 상기 셀프-얼라인 콘택홀을 제2 도전층으로 매립하여 셀프-얼라인 콘택 구조를 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 장치의 제조방법을 제공한다.

상기한 제4의 목적을 달성하기 위하여 본 발명은, 게이트, 캐패시터 콘택 영역 및 비트라인 콘택 영역으로 이루어진 트랜지스터들이 형성된 반도체 기판 상에 제1 층간절연막을 형성하는 단계; 상기 제1 층간절연막을 부분적으로 삭각하여 상기 비트라인 콘택 영역을 노출시키는 비트라인 콘택홀을 형성하는 단계; 상기 제1 층간절연막 상에 상기 캐패시터 콘택 영역을 사이에 두고, 상기 비트라인 콘택홀을 통해 상기 비트라인 콘택 영역과 전기적으로 접촉하는 비트라인 및 상기 비트라인 상에 적층된 실리콘 질화막 마스크층을 포함하는 두 개의 비트라인 구조물을 형성하는 단계; 각 비트라인 구조물의 측면을 상에 상기 측면들의 상부를 부분적으로 노출시키도록 상기 실리콘 질화막 마스크층의 상단보다 낮은 높이로 실리콘 산화막 스페이서들을 형성하는 단계; 상기 각 비트라인 구조물의 노출된 측면부를 및 상기 실리콘 산화막 스페이서들의 표면을 상에 실리콘 질화막 스페이서들을 형성하는 단계; 상기 비트라인 구조물 및 상기 제1 층간절연막 상에 실리콘 산화막으로 이루어진 제2 층간절연막을 형성하는 단계; 상기 제2 층간절연막을 부분적으로 삭각하여 상기 캐패시터 콘택 영역 위의 상기 실리콘 질화막 스페이서들을 노출시키고 상기 각 비트라인 구조물의 위로 일부분 확장되는 셀프-얼라인 콘택홀을 형성하는 단계; 및 상기 셀프-얼라인 콘택홀을 캐패시터 도전층으로 매립하여 셀프-얼라인 콘택 구조를 형성하는 단계를 구비하는 것을 특징으로 하는 DRAM 장치의 제조방법을 제공한다.

본 발명에 의하면, 제1 도전층과 상기 도전층 상에 적층된 실리콘 질화막 마스크층을 포함하는 도체 구조물의 측면을 상에 실리콘 산화막 스페이서 및 실리콘 질화막 스페이서로 구성된 듀얼 스페이서를 형성한다. 상기 제1 도전층의 측면이 유전율이 작은 실리콘 산화막 스페이서로 감싸지기 때문에, 제1 도전층과 셀프-얼라인 콘택홀 내의 제2 도전층 간에 로딩 캐패시턴스를 감소시킬 수 있다.

또한, 상기 실리콘 산화막 스페이서는 실리콘 질화막 마스크층의 상단보다 낮은 높이로 형성되기 때문에, 도체 구조물의 모서리 부위에는 실리콘 질화막 스페이서만 존재한다. 따라서, 셀프-얼라인 콘택 형성을 위한 사전식각 공정시 미스얼라인이 발생하더라도 제1 도전층과 셀프-얼라인 콘택홀 내의 제2 도전층 간에 전기적 소트가 발생하지 않는다.

이하, 첨부한 도면을 참조하여 본 발명에 대해 상세히 설명하고자 한다.

도 4는 본 발명에 의한 셀프-얼라인 콘택 구조를 갖는 반도체 장치의 단면도이다.

도 4를 참조하면, 반도체 기판(100) 상에 제1 도전층(102) 및 상기 제1 도전층(102) 상에 적층된 실리콘 질화막 마스크층(104)을 포함하는 두 개의 도체 구조물(105)들이 형성된다. 상기 도체 구조물(105)은 그 사이에 소정 간격(S)을 두고 라인 형태로 패터닝된다. 상기 제1 도전층(102)은 바람직하게는 텅스텐(Te), 티타늄(Ti) 또는 티타늄 나이트라이드(TiN)와 같은 금속으로 형성된다. 또한, 상기 제1 도전층(102)은 도핑된 풀리실리콘으로 형성될 수도 있다.

각 도체 구조물(105)의 측면을 상에는 실리콘 산화막 스페이서(106) 및 실리콘 질화막 스페이서(108)로 구성된 듀얼 스페이서가 형성된다. 상기 실리콘 산화막 스페이서(106)는 상기 각 도체 구조물(105)의 측면들의 상부를 부분적으로 노출하도록 실리콘 질화막 마스크층(104)의 상단보다 낮은 높이로 형성된다. 상기 실리콘 질화막 스페이서(108)는 외부(outer) 스페이서로서, 각 도체 구조물(105)의 노출된 측면부를 및 실리콘 산화막 스페이서들(106)의 표면 상에 면축적으로 형성된다.

바람직하게는, 상기 실리콘 산화막 스페이서(106)는 화학 기상 증착된 실리콘 산화막으로 이루어지며, 실리콘 질화막 마스크층(104)의 상단으로부터 실리콘 산화막 스페이서(106)의 상단까지의 두께가 약 300Å 이상이 되도록 형성된다. 또한, 상기 실리콘 산화막 스페이서(106)의 상단이 상기 실리콘 질화막 마스크층(104)의 하단보다 낮게 형성될 수도 있다.

상기 도체 구조물들(105) 및 상기 기판(100) 상에는 도체 구조물들(105) 사이의 간격(S) 위의 상기 실리콘 질화막 스페이서들(108)을 노출시키고 각 도체 구조물(105)의 위로 일부분 확장되는 셀프-얼라인 콘택홀(112)을 갖는 실리콘 산화막으로 이루어진 절연층(110)이 형성된다.

상기 셀프-얼라인 콘택홀(112)은 제2 도전층(114)으로 매립된다. 상기 제2 도전층(114)은 상기 도체 구조물들(105)에 셀프-얼라인되어 셀프-얼라인 콘택 구조를 형성한다. 상기 제2 도전층(114)은 도시한 바와 같이 콘택 플러그 형태로 형성될 수도 있고, 통상의 사전식각 공정에 의해 소정의 패턴으로 패터닝될 수도 있다.

도 5는 본 발명의 바람직한 실시예가 적용되는 DRAM 장치의 평면도로서, 메모리 셀 영역을 도시한다. 도

6은 도 5의 AA'선에 따른, 본 발명의 제1 실시예에 의한 셀프-얼라인 콘택 구조를 갖는 DRAM 장치의 단면도이다.

도 5 및 도 6을 참조하면, 필드 산화막(202)에 의해 활성 영역(201)과 소자분리 영역으로 구분되어진 반도체 기판(200) 상에 워드라인으로 제공되는 게이트(203), 캐패시터 콘택 영역(예컨대, 소오스 영역)(205a) 및 비트라인 콘택 영역(예컨대, 드레인 영역)(205b)으로 구성된 트랜지스터들이 형성된다. 상기 트랜지스터들의 소오스/드레인 영역(205a, 205b) 상에는 그 위에 형성되어질 콘택홀들의 종횡비(aspect ratio)를 감소시키기 위한 패드 전극들(204a, 204b)이 형성될 수 있다.

상기 트랜지스터들 및 상기 기판(200) 상에는 상기 드레인 영역(205b) 또는 상기 드레인 영역(205b)과 접촉된 패드 전극(204b)을 노출시키는 비트라인 콘택홀(207)을 갖는 제1 층간절연막(208)이 형성된다.

상기 제1 층간절연막(208) 상에는 상기 비트라인 콘택홀(207)을 통해 드레인 영역(205b)과 전기적으로 접속되는 비트라인(208) 및 상기 비트라인(208) 상에 적층된 실리콘 질화막 마스크층(210)을 포함하는 두 개의 비트라인 구조들을(211)이 형성된다. 각 비트라인 구조들(211)은 라인 형태로 패터닝되며, 그들 사이의 하부에 캐패시터 콘택 영역, 예컨대 소오스 영역(205a) 또는 상기 소오스 영역(205a)과 접촉된 패드 전극(204a)이 위치한다.

각 비트라인 구조들(211)의 측면들 상에는 실리콘 산화막 스페이서(212) 및 실리콘 질화막 스페이서(214)로 구성된 듀얼 스페이서가 형성된다. 상기 실리콘 산화막 스페이서(212)는 실리콘 질화막 마스크층(210)의 상단보다 낮은 높이로 형성된다. 바람직하게는, 상기 실리콘 산화막 스페이서(212)는 회향 가상 증착된 실리콘 산화막으로 이루어지며, 실리콘 질화막 마스크층(210)의 상단으로부터 실리콘 산화막 스페이서(212)의 상단까지의 두께가 약 300 Å 이상이 되도록 형성된다.

상기 실리콘 질화막 스페이서(214)는 외부 스페이서로서, 각 비트라인 구조들(211)의 측면들 및 실리콘 산화막 스페이서(212)들의 표면 상에 연속적으로 형성된다.

상기 비트라인 구조들(211) 및 상기 제1 층간절연막(206) 상에 제2 층간절연막(216)이 형성된다. 상기 제2 층간절연막(216)에는 캐패시터 콘택 영역, 예컨대 소오스 영역(205a) 위의 상기 실리콘 질화막 스페이서들(214)을 노출시키고 각 비트라인 구조들(211)의 위로 일부분 확장되는 셀프-얼라인 콘택홀(218)이 형성된다.

상기 셀프-얼라인 콘택홀(218)은 캐패시터 도전층(220)으로 맴립된다. 상기 캐패시터 도전층(220)은 비트라인 구조들(211)에 셀프-얼라인되어 셀프-얼라인 콘택 구조를 형성한다. 상기 캐패시터 도전층(220)은 도시한 바와 같이 콘택 플러그 형태로 형성할 수도 있고, 통상의 사진공정에 의해 스토리지 전극 패턴으로 패터닝될 수도 있다.

도 7a 내지 도 7h는 도 6에 도시한 DRAM 장치의 제조방법을 설명하기 위한 단면도들이다.

도 7a는 비트라인 구조들(211)을 형성하는 단계를 도시한다. 통상의 소자분리 공정, 예컨대 개량된 실리콘 부분 산화(LDDOS) 공정에 의해 반도체 기판(200) 상에 필드 산화막(202)을 형성하여 상기 기판(200)을 활성 영역(도 5의 참조부호 201)과 소자분리 영역으로 구분한다.

이어서, 상기 기판(200)의 활성 영역(201) 상에 트랜지스터를 형성한다. 즉, 열산화법(thermal oxidation)으로 활성 영역(201)의 표면에 얇은 게이트 산화막(도시하지 않음)을 성장시킨 후, 그 상부에 워드라인으로 제공되는 트랜지스터의 게이트(203)를 형성한다. 바람직하게는, 상기 게이트(203)는 통상의 도핑 공정, 예컨대 확산 공정, 이온주입 공정 또는 인-시류 도핑 공정에 의해 고농도의 불순물로 도핑된 폴리실리콘층과 텅스텐 실리사이드층이 적층된 폴리사이드 구조로 형성된다. 또한, 도시하지는 않았으나, 상기 게이트(203)는 실리콘 산화막이나 실리콘 질화막으로 커버되며, 그 측면에 실리콘 산화막이나 실리콘 질화막으로 이루어진 스페이서가 형성된다. 이어서, 상기 게이트(203)를 마스크로 이용하여 불순물을 이온주입함으로써 활성 영역(201)의 표면에 트랜지스터의 소오스/드레인 영역(205a, 205b)을 형성한다. 상기 도핑 영역을 중의 하나는 캐패시터의 스토리지 전극이 접촉되어질 캐패시터 콘택 영역이며, 다른 하나는 비트라인이 접촉되어질 비트라인 콘택 영역이다. 본 실시예에서는 소오스 영역(205a)이 캐패시터 콘택 영역이고 드레인 영역(205b)이 비트라인 콘택 영역이 된다.

이어서, 상기 트랜지스터들 및 상기 기판(200) 상에 절연층(도시하지 않음)을 증착하고 이를 사진식각 공정으로 식각하여 소오스/드레인 영역(205a, 205b)을 각각 노출시킨다. 결과물의 전면에 도핑된 폴리실리콘을 증착하고 이를 패터닝하여 상기 소오스/드레인 영역(205a, 205b)에 각각 접촉하는 패드 전극들(204a, 204b)을 형성한다. 상기 패드 전극들(204a, 204b)은 셀프-얼라인 콘택 공정으로 형성할 수도 있다.

이어서, 상기 패드 전극들(204a, 204b) 및 상기 기판(200) 상에 평탄화 특성이 우수한 BPSG(borophosphosilicate glass) 또는 USG(unbonded silicate glass)를 증착하여 제1 층간절연막(206)을 형성한다. 이어서, 제1 층간절연막(206)을 리플로우, 에치백 또는 화학 기계적 연마(CMP) 공정에 의해 평탄화시킨 후, 사진식각 공정으로 제1 층간절연막(206)을 식각하여 상기 드레인 영역(205b)과 접촉하는 패드 전극(204b)을 노출시키는 비트라인 콘택홀(도 5의 참조부호 207)을 형성한다.

이어서, 상기 비트라인 콘택홀(207)을 채우도록 텅스텐(W), 티타늄(Ti) 또는 티타늄 나이트라이드(TiN)와 같은 금속층을 약 1000~1200 Å의 두께로 증착한 후, 그 위에 실리콘 질화막을 약 1800~2000 Å의 두께로 증착한다. 사진식각 공정으로 상기 실리콘 질화막 및 금속층을 패터닝하여 비트라인(208) 및 실리콘 질화막 마스크층(210)을 포함하는 라인형 비트라인 구조들(211)들을 형성한다. 상기 비트라인(208)은 상술한 금속 물질 미외에 도핑된 폴리실리콘으로 형성하여도 무방하다.

도 7b를 참조하면, 상기 비트라인 구조들(211) 및 상기 제1 층간절연막(206) 상에 실리콘 산화막(211)을 화학 기상 증착(CVD) 방법으로 증착한다.

도 7c를 참조하면, 실리콘 산화막과 실리콘 질화막 간의 식각 선택비가 높은 조건, 바람직하게는 상기 식각 선택비가 50이상인 조건으로 상기 실리콘 산화막(211)을 미방성 식각하여 각 비트라인 구조들(211)의

측면을 상에 상기 각 비트라인 구조물(211)의 측면들의 상부를 부분적으로 노출하도록 상기 실리콘 질화막 마스크층(210)의 상단보다 낮은 높이로 실리콘 산화막 스페이서(212)들을 형성한다. 상기 각 공정은 탄소(C)에 대한 불소(F)의 비율(C/F)이 1/2 이상인 가스, 예컨대 CF_x, CF_y 및 CF_z의 군에서 선택된 어느 하나의 가스와 산소(O₂) 및 아르곤(Ar) 가스의 혼합 가스를 사용하여 진행한다. 이때, 실리콘 산화막 스페이서(212)의 길이가 약 200~400Å이 되도록 하며, 상기 실리콘 질화막 마스크층(210)의 상단으로부터 상기 실리콘 산화막 스페이서(212)의 상단까지의 두께가 약 300Å 이상, 바람직하게는 1000Å이 되도록 각각 공정을 수행한다.

도 7d를 참조하면, 상기 비트라인 구조물(211)의 상면과 측면, 상기 실리콘 산화막 스페이서(212)의 표면을 상기 제1 층간절연막(206) 상에 연속적으로 실리콘 질화막(213)을 저압 화학 기상 증착(LPCVD) 방법으로 증착한다.

도 7e를 참조하면, 상기 실리콘 질화막(213)을 미방성 식각하여 상기 비트라인 구조물(211)의 노출된 측면부를 및 상기 실리콘 산화막 스페이서(212)의 표면 상에 실리콘 질화막 스페이서(214)들을 형성한다. 이때, 실리콘 질화막 스페이서(214)의 길이가 약 100~300Å이 되도록 한다. 상기 실리콘 질화막 스페이서(214)는 후속의 셀프-얼라인 콘택 형성을 위한 식각 공정시 상기 비트라인 구조물(211)을 보호하는 숄더(shoulder) 역할을 한다.

도 7f를 참조하면, 상기 결과를 상에 실리콘 산화막을 약 8000~15000Å의 두께로 증착하여 제2 층간절연막(216)을 형성한다.

도 7g를 참조하면, 상기 제2 층간절연막(216) 상에 포토레지스트막을 도포하고 셀프-얼라인 콘택 형성용 마스크를 이용하여 상기 포토레지스트막을 노광 및 현상하여 셀프-얼라인 콘택 영역을 오픈시키는 포토레지스트 패턴(도시하지 않음)을 형성한다. 이어서, 상기 포토레지스트 패턴을 마스크로 이용하여 실리콘 산화막과 실리콘 질화막 간의 식각 선택비가 높은 조건으로 상기 제2 층간절연막(216)을 미방성 식각함으로써 상기 소오스 영역(205a), 또는 상기 소오스 영역(205a)과 접촉하는 패드 전극(204a) 및 그 상부의 실리콘 질화막 스페이서(214)를 노출시키는 셀프-얼라인 콘택홀(218)을 형성한다.

도 7h를 참조하면, 에칭 및 스트립 공정으로 상기 포토레지스트 패턴을 제거한 후, 상기 셀프-얼라인 콘택홀(218)을 채우도록 캐패시터 도전층(220), 예컨대 도핑된 폴리실리콘을 화학 기상 증착 방법으로 증착한다. 이어서, 상기 제2 층간절연막(216)의 상부 표면이 노출될 때까지 상기 캐패시터 도전층(220)을 에치백 또는 화학 기계적 연마 방법으로 제거하여 상기 셀프-얼라인 콘택홀(218)의 내부에만 플러그 형태로 캐패시터 도전층(220)을 남긴다.

또한, 상기 캐패시터 도전층(220)은 통상의 사진식각 공정에 의해 스토리지 전극 패턴으로 패터닝될 수도 있다.

이어서, 통상의 캐패시터 형성공정으로 상기 셀프-얼라인 콘택홀(218)을 통해 소오스 영역(205a)에 전기적으로 접속하는 스토리지 전극, 유전체막 및 플레이트 전극으로 구성된 캐패시터(도시하지 않음)를 형성한다.

상술한 본 발명의 제1 실시예에 의하면, 비트라인(208)의 측면이 실리콘 질화막보다 작은 유전률의 실리콘 산화막 스페이서(212)로 감싸지기 때문에 비트라인(208)과 셀프-얼라인 콘택홀(218) 내의 캐패시터 도전층(220) 간에 로딩 캐패시턴스, 즉 비트라인 캐패시턴스를 감소시킬 수 있다.

또한, 상기 실리콘 산화막 스페이서(212)의 상단이 실리콘 질화막 마스크층(210)의 상단보다 낮게 형성되므로 비트라인 구조물(211)의 모서리 부위에는 실리콘 질화막 스페이서(214)만 존재한다. 따라서, 셀프-얼라인 콘택 형성을 위한 사진식각 공정시 미스얼라인이 발생하더라도 상기 실리콘 질화막 스페이서(214)에 의해 숄더 마진이 확보되므로 비트라인(208)과 콘택 플러그(220) 간의 전기적 쇼트가 발생하지 않는 다.

상기 로딩 캐패시턴스의 감소 효과를 증진시키기 위해서는 실리콘 산화막 스페이서(212)의 상단이 실리콘 질화막 마스크층(210)의 하단보다 높게 형성하는 것이 바람직하다.

도 8은 도 5의 AA'선에 따른, 본 발명의 제2 실시예에 의한 셀프-얼라인 콘택 구조를 갖는 DRAM 장치의 단면도이다.

도 8에 도시한 바와 같이, 본 발명의 제2 실시예에 의한 DRAM 장치는 셀프-얼라인 콘택 공정의 숄더 마진을 증진시키기 위해서 실리콘 산화막 스페이서(212)의 상단이 실리콘 질화막 마스크층(210)의 하단보다 낮게 형성된 것을 제외하고는 상술한 제1 실시예와 동일하다.

설명의 요점

상술한 바와 같이 본 발명에 의하면, 제1 도전층과 상기 제1 도전층 상에 적층된 실리콘 질화막 마스크층을 포함하는 도체 구조물의 측면을 상에 실리콘 산화막 스페이서 및 실리콘 질화막 스페이서로 구성된 듀얼 스페이서를 형성한다. 상기 제1 도전층의 측면이 작은 실리콘 산화막 스페이서로 감싸지기 때문에, 제1 도전층과 셀프-얼라인 콘택홀 내의 제2 도전층 간에 로딩 캐패시턴스를 감소시킬 수 있다.

또한, 상기 실리콘 산화막 스페이서는 실리콘 질화막 마스크층의 상단보다 낮은 높이로 형성되기 때문에, 도체 구조물의 모서리 부위에는 실리콘 질화막 스페이서만 존재한다. 따라서, 셀프-얼라인 콘택 형성을 위한 사진식각 공정시 미스얼라인이 발생하더라도 제1 도전층과 셀프-얼라인 콘택홀 내의 제2 도전층 간에 전기적 쇼트가 발생하지 않는다.

상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 틀허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(7) 경구의 층위

청구항 1. 반도체 기판;

그 사이에 간격을 갖고 상기 기판 상에 형성되며, 제1 도전층 및 상기 제1 도전층 상에 적층된 실리콘 질화막 마스크층을 포함하는 두 개의 도체 구조물들;

상기 실리콘 질화막 마스크층의 상단보다 낮은 높이로 각 도체 구조물의 측면들상에 상기 측면들의 상부를 부분적으로 노출시키면서 형성된 실리콘 산화막 스페이서들;

상기 각 도체 구조물의 노출된 측면부를 및 상기 실리콘 산화막 스페이서들의 표면 상에 형성된 실리콘 질화막 스페이서들;

상기 도체 구조물을 및 상기 기판 상에 형성되며, 상기 간격 위의 상기 실리콘 질화막 스페이서들을 노출시키고 상기 각 도체 구조물의 위로 일부분 확장되는 셀프-얼라인 콘택홀을 갖는 실리콘 산화막으로 이루어진 절연층; 및

상기 셀프-얼라인 콘택홀을 매립하여 상기 도체 구조물들에 셀프-얼라인되는 제2 도전층을 구비하는 것을 특징으로 하는 반도체 장치.

청구항 2. 제1항에 있어서, 상기 실리콘 산화막 스페이서는 상기 실리콘 질화막 마스크층의 상단으로부터 상기 실리콘 산화막 스페이서의 상단까지의 두께가 약 300Å 이상이 되도록 형성된 것을 특징으로 하는 반도체 장치.

청구항 3. 제1항에 있어서, 상기 실리콘 산화막 스페이서의 상단이 상기 실리콘 질화막 마스크층의 하단보다 낮게 형성된 것을 특징으로 하는 반도체 장치.

청구항 4. 제1항에 있어서, 상기 실리콘 산화막 스페이서는 화학 기상 증착된 실리콘 산화막으로 이루어진 것을 특징으로 하는 반도체 장치.

청구항 5. 제1항에 있어서, 상기 제1 도전층은 금속으로 이루어진 것을 특징으로 하는 반도체 장치.

청구항 6. 게이트, 캐패시터 콘택 영역 및 비트라인 콘택 영역으로 구성된 트랜지스터들이 형성된 반도체 기판 상에 형성되고, 상기 비트라인 콘택 영역을 노출시키는 비트라인 콘택홀을 갖는 제1 층간절연막;

상기 제1 층간절연막 상에 상기 캐패시터 콘택 영역을 사이에 두고 형성되며, 상기 비트라인 콘택홀을 통해 상기 비트라인 콘택 영역과 전기적으로 접촉하는 비트라인 및 상기 비트라인 상에 적층된 실리콘 질화막 마스크층을 포함하는 두 개의 비트라인 구조물들;

상기 실리콘 질화막 마스크층의 상단보다 낮은 높이로 각 비트라인 구조물의 측면들 상에 상기 측면들의 상부를 부분적으로 노출시키면서 형성된 실리콘 산화막 스페이서들;

상기 각 비트라인 구조물의 노출된 측면부를 및 상기 실리콘 산화막 스페이서들의 표면 상에 형성된 실리콘 질화막 스페이서들;

상기 비트라인 구조물을 및 상기 제1 층간절연막 상에 형성되며, 상기 캐패시터 콘택 영역 위의 상기 실리콘 질화막 스페이서들을 노출시키고 상기 각 비트라인 구조물의 위로 일부분 확장되는 셀프-얼라인 콘택홀을 갖는 실리콘 산화막으로 이루어진 제2 층간절연막; 및

상기 셀프-얼라인 콘택홀을 매립하여 상기 비트라인 구조물들에 셀프-얼라인되는 캐패시터 도전층을 구비하는 것을 특징으로 하는 DRAM 장치.

청구항 7. 제6항에 있어서, 상기 실리콘 산화막 스페이서는 상기 실리콘 질화막 마스크층의 상단으로부터 상기 실리콘 산화막 스페이서의 상단까지의 두께가 약 300Å 이상이 되도록 형성된 것을 특징으로 하는 DRAM 장치.

청구항 8. 제6항에 있어서, 상기 실리콘 산화막 스페이서의 상단이 상기 실리콘 질화막 마스크층의 하단보다 낮게 형성된 것을 특징으로 하는 DRAM 장치.

청구항 9. 제6항에 있어서, 상기 실리콘 산화막 스페이서는 화학 기상 증착된 실리콘 산화막으로 이루어진 것을 특징으로 하는 DRAM 장치.

청구항 10. 제6항에 있어서, 상기 비트라인은 금속으로 이루어진 것을 특징으로 하는 DRAM 장치.

청구항 11. 반도체 기판 상에 제1 도전층 및 상기 제1 도전층 상에 적층된 실리콘 질화막 마스크층을 포함하여 그 사이에 간격을 갖는 두 개의 도체 구조물들을 형성하는 단계;

각 도체 구조물의 측면들 상에 상기 측면들의 상부를 부분적으로 노출하도록 상기 실리콘 질화막 마스크층의 상단보다 낮은 높이로 실리콘 산화막 스페이서들을 형성하는 단계;

각 도체 구조물의 노출된 측면부를 및 상기 실리콘 산화막 스페이서들의 표면 상에 실리콘 질화막 스페이서들을 형성하는 단계;

상기 도체 구조물을 및 상기 기판 상에 실리콘 산화막으로 이루어진 절연층을 형성하는 단계;

상기 절연층을 부분적으로 식각하여 상기 간격 위의 상기 실리콘 질화막 스페이서들을 노출시키고 상기 각 도체 구조물의 위로 일부분 확장되는 셀프-얼라인 콘택홀을 형성하는 단계; 및

상기 셀프-얼라인 콘택홀을 제2 도전층으로 매립하여 셀프-얼라인 콘택 구조를 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 12. 제11항에 있어서, 상기 실리콘 산화막 스페이서를 형성하는 단계는:

상기 도체 구조물을 및 상기 기판 상에 화학 기상 증착 방법으로 실리콘 산화막을 증착하는 단계; 및
실리콘 산화막과 실리콘 질화막과의 식각 선택비가 50이상인 조건으로 상기 실리콘 산화막을 이방성 식각
하여 각 도체 구조물의 측면을 상에 상기 실리콘 질화막 마스크층의 상단보다 낮은 높이로 실리콘 산화막
스페이서들을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 13. 제12항에 있어서, 탄소(C)에 대한 불소(F)의 비율(C/F)이 1/2 이상인 가스를 사용하여 상기
실리콘 산화막을 이방성 식각하는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 14. 제13항에 있어서, 상기 가스는 C_4F_8 , C_6F_8 및 C_8F_8 의 군에서 선택된 어느 하나를 사용하는 것
을 특징으로 하는 반도체 장치의 제조방법.

청구항 15. 제11항에 있어서, 상기 실리콘 질화막 마스크층의 상단으로부터 상기 실리콘 산화막 스페이
서의 상단까지의 두께가 약 300 Å 이상이 되도록 상기 실리콘 산화막을 이방성 식각하는 것을 특징으로
하는 반도체 장치의 제조방법.

청구항 16. 제11항에 있어서, 상기 제1 도전층은 금속으로 형성하는 것을 특징으로 하는 반도체 장치의
제조방법.

청구항 17. 게이트, 캐패시터 콘택 영역 및 비트라인 콘택 영역으로 이루어진 트랜지스터들이 형성된
반도체 기판 상에 제1 층간절연막을 형성하는 단계;

상기 제1 층간절연막을 부분적으로 식각하여 상기 비트라인 콘택 영역을 노출시키는 비트라인 콘택홀을
형성하는 단계;

상기 제1 층간절연막 상에 상기 캐패시터 콘택 영역을 사이에 두고, 상기 비트라인 콘택홀을 통해 상기
비트라인 콘택 영역과 전기적으로 접촉하는 비트라인 및 상기 비트라인 상에 적층된 실리콘 질화막 마스
크층을 포함하는 두 개의 비트라인 구조물을 형성하는 단계;

각 비트라인 구조물의 측면을 상에 상기 측면들의 상부를 노출하도록 상기 실리콘 질화막 마스크층의 상
단보다 낮은 높이로 실리콘 산화막 스페이서들을 형성하는 단계;

상기 각 비트라인 구조물의 노출된 측면부 및 상기 실리콘 산화막 스페이서들의 표면을 상에 실리콘 질
화막 스페이서들을 형성하는 단계;

상기 비트라인 구조물 및 상기 제1 층간절연막 상에 실리콘 산화막으로 이루어진 제2 층간절연막을 형성
하는 단계;

상기 제2 층간절연막을 부분적으로 식각하여 상기 캐패시터 콘택 영역 위의 상기 실리콘 질화막 스페이
서들을 노출시키고 상기 각 비트라인 구조물의 위로 일부분 확장되는 셀프-얼라인 콘택홀을 형성하는 단계;
및

상기 셀프-얼라인 콘택홀을 캐패시터 도전층으로 매립하여 셀프-얼라인 콘택 구조를 형성하는 단계를 구
비하는 것을 특징으로 하는 DRAM 장치의 제조방법.

청구항 18. 제17항에 있어서, 상기 실리콘 산화막 스페이서를 형성하는 단계는:

상기 비트라인 구조물을 및 상기 제1 층간절연막 상에 화학 기상 증착 방법으로 실리콘 산화막을 증착하
는 단계; 및

실리콘 산화막과 실리콘 질화막과의 식각 선택비가 50이상인 조건으로 상기 실리콘 산화막을 이방성 식각
하여 각 비트라인 구조물의 측면을 상에 상기 실리콘 질화막 마스크층의 상단보다 낮은 높이로 실리콘 산
화막 스페이서들을 형성하는 단계를 포함하는 것을 특징으로 하는 DRAM 장치의 제조방법.

청구항 19. 제18항에 있어서, 탄소(C)에 대한 불소(F)의 비율(C/F)이 1/2 이상인 가스를 사용하여 상기
실리콘 산화막을 이방성 식각하는 것을 특징으로 하는 DRAM 장치의 제조방법.

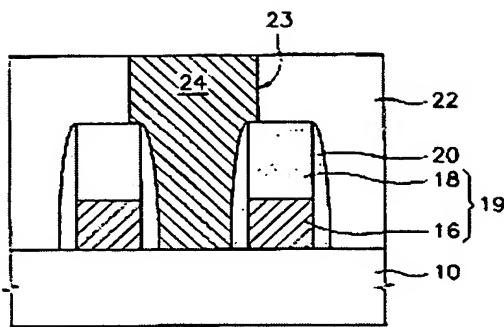
청구항 20. 제19항에 있어서, 상기 가스는 C_4F_8 , C_6F_8 및 C_8F_8 의 군에서 선택된 어느 하나를 사용하는 것
을 특징으로 하는 DRAM 장치의 제조방법.

청구항 21. 제17항에 있어서, 상기 실리콘 질화막 마스크층의 상단으로부터 상기 실리콘 산화막 스페이
서의 상단까지의 두께가 약 300 Å 이상이 되도록 상기 실리콘 산화막을 이방성 식각하는 것을 특징으로
하는 DRAM 장치의 제조방법.

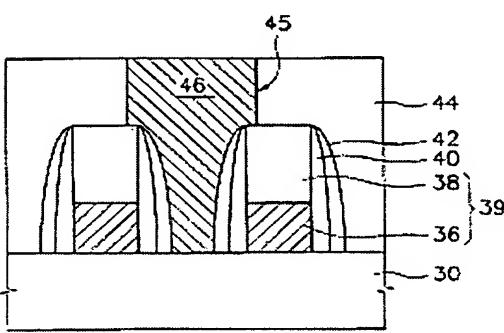
청구항 22. 제17항에 있어서, 상기 비트라인은 금속으로 형성하는 것을 특징으로 하는 DRAM 장치의 제
조방법.

도면

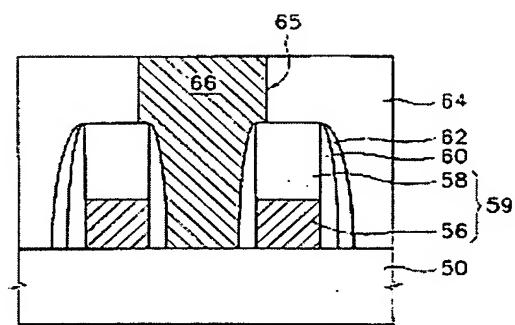
E01



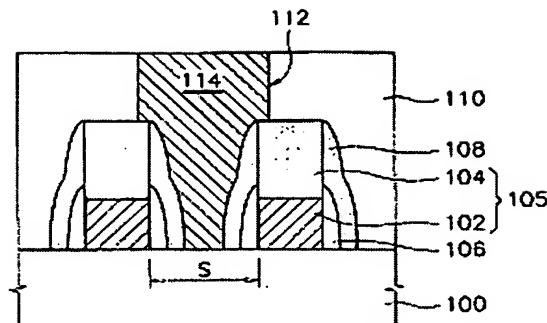
E02



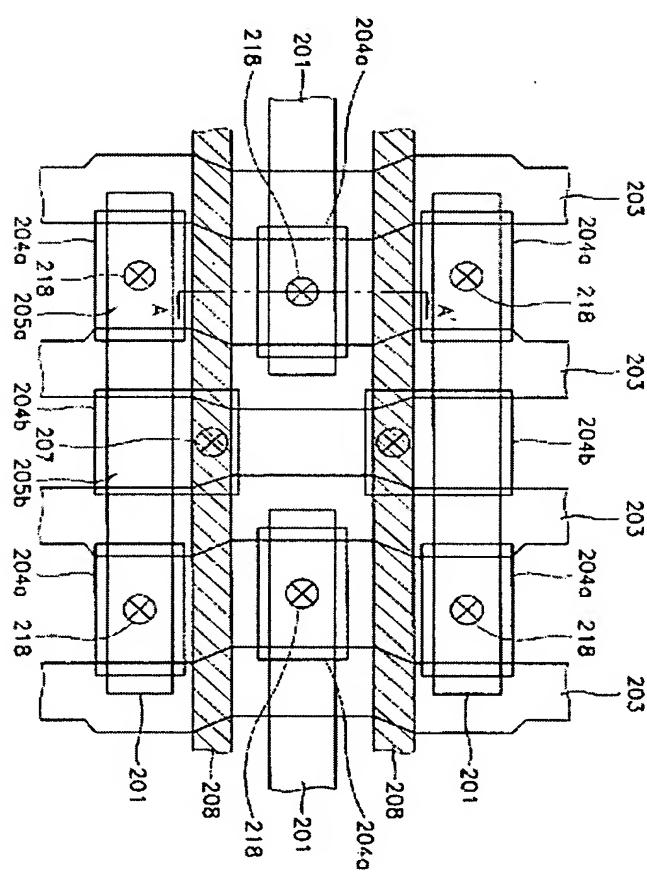
E03



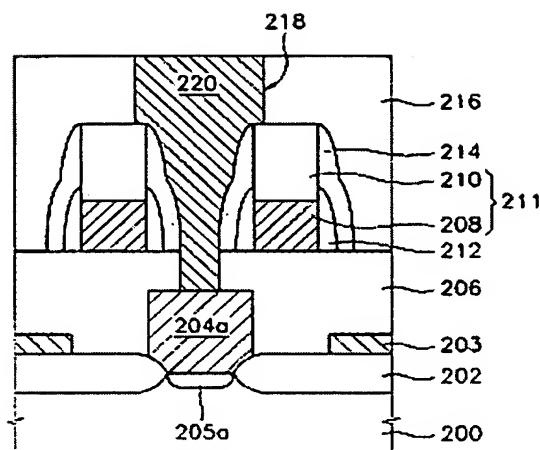
五



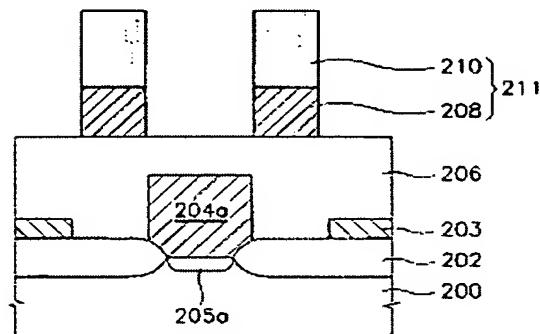
505



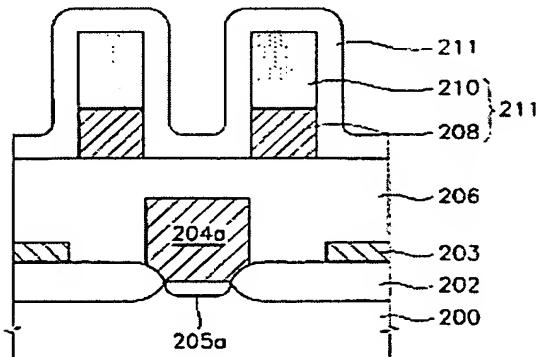
도면7a



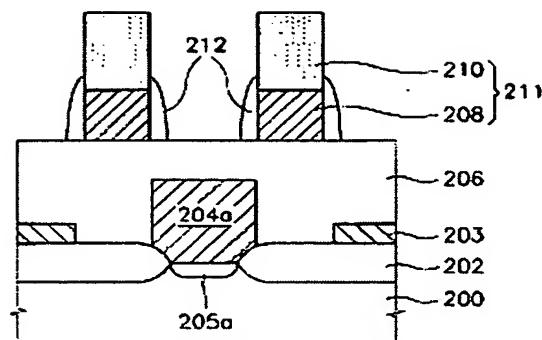
도면7b



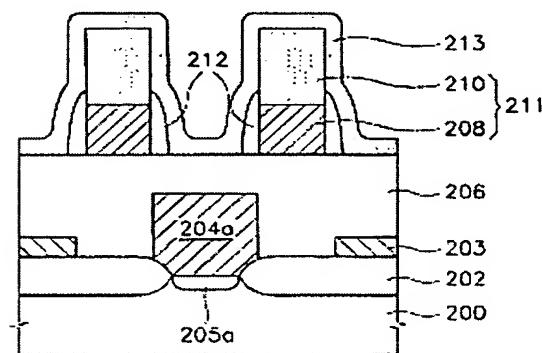
도면7c



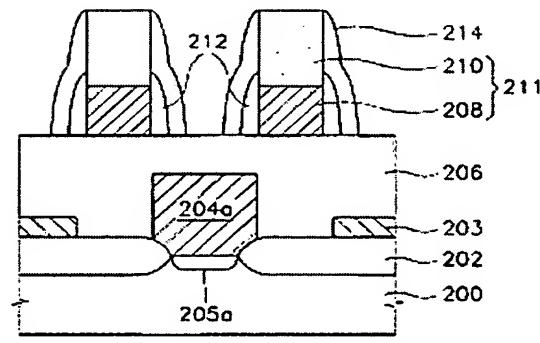
도면7a



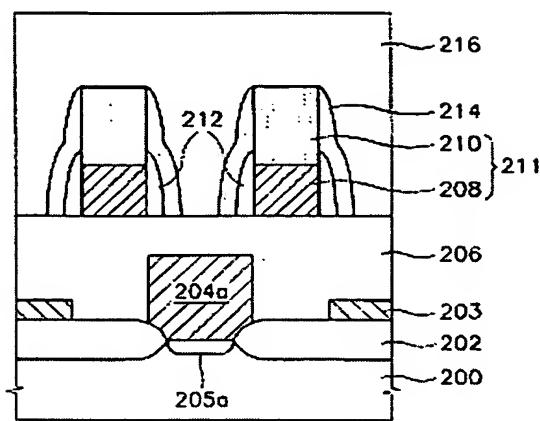
도면7b



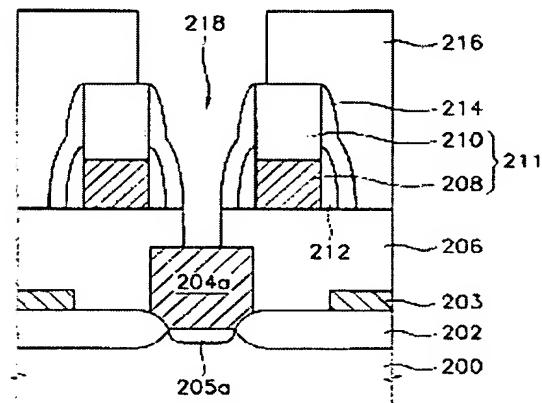
도면7c



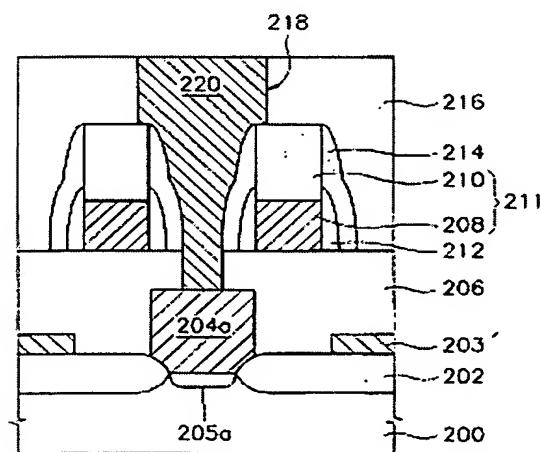
도면가



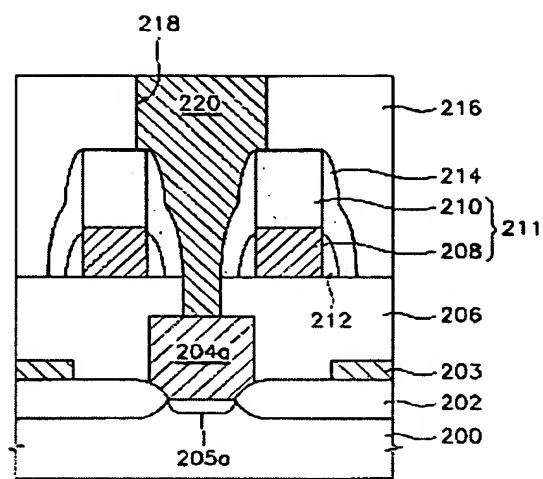
도면가



도면가



五四



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.